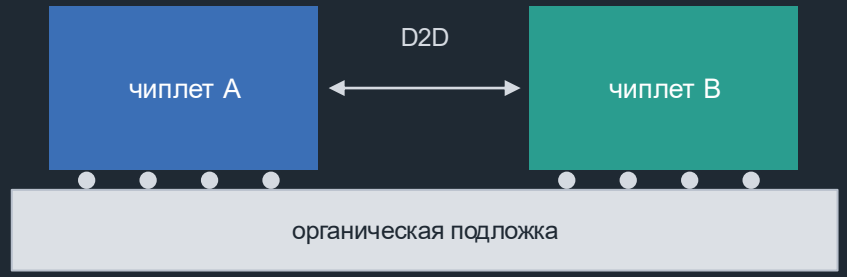
ЧИПЛЕТЫ И ГЕТЕРОГЕННАЯ ИНТЕГРАЦИЯ

Высокоскоростной интерконнект для проектирования чиплетов на органической подложке

Физика канала, стандарты die-to-die (UCIe, BoW, AIB, XSR), проектирование стек-апа и трассировки, верификация SI/PI



СДЕЛАНО С ПОМОЩЬЮ ИИ (LLM)

Аннотация

В статье систематизированы физические, схемотехнические и технологические основы проектирования высокоскоростных каналов «кристалл–кристалл» (die-to-die, D2D) для чиплетных систем, собираемых на органической (ламинатной) подложке без кремниевого интерпозера. Рассмотрены механизмы потерь и перекрёстных помех в микрополосковых и полосковых линиях подложек с наращиваемыми слоями (build-up, ABF), требования к стек-апу и геометрии трасс при шаге контактов 100–130 мкм, принципы построения PHY с прямой передачей тактового сигнала (forwarded clock), а также открытые стандарты D2D-интерфейсов — UCIe, BoW (OCP ODSA), AIB и XSR/USR (OIF). Приведена методика верификации целостности сигналов и питания (SI/PI), сравнительный анализ вариантов интеграции (2D-органика, 2.5D Si-интерпозер, мостовые структуры, органический интерпозер) и пример инженерной оценки бюджета канала длиной 25 мм на скорости 16 Гбит/с на линию.

Ключевые слова

чиплет; die-to-die; D2D; органическая подложка; ABF; build-up; стек-ап; UCIe; BoW; AIB; XSR; forwarded clock; целостность сигналов; целостность питания; глазковая диаграмма; вносимые потери; перекрёстные помехи; плотность пропускной способности; стандартная упаковка; advanced packaging

УДК 621.382.3

СТРУКТУРА СТАТЬИ

Содержание

1. Введение

1.1. От монолитной системы на кристалле к чиплетной системе

1.2. Варианты интеграции чиплетов в корпусе

2. Термины, определения, параметры органической подложки

3. Физика высокоскоростного канала в подложке

3.1. Вносимые потери

3.2. Импеданс и перекрёстные помехи

3.3. Глазковая диаграмма и бюджет канала

4. Архитектуры и открытые стандарты интерфейсов D2D

4.1–4.2. Последовательный и параллельный интерконнект

4.3. Сравнительный обзор интерфейсов

4.4–4.5. UCIe: архитектура и параметры

4.6. BoW (OCP ODSA)

5. Проектирование канала на органической подложке

5.1. Топология канала

5.2. Стек-ап подложки

5.3. Escape-разводка и переходные отверстия

5.4. Приёмопередатчик: терминирование и эквалайзинг

5.5. Тактирование

6. Целостность питания, термомеханика

7. Верификация; сравнение технологий интеграции

8. Пример инженерного расчёта

9. Тенденции; глоссарий; контрольные вопросы; литература

1.1. От монолитной системы на кристалле к чиплетной системе

- **Чиплет** — функционально законченный бескорпусной кристалл, рассчитанный на совместную сборку с другими кристаллами в одном корпусе через стандартизованный D2D-интерфейс.
- Мотивация: предел площади ретикла (~858 мм²), падение выхода годных с ростом площади, разные оптимальные техпроцессы для логики, памяти и аналоговых блоков (I/O, SerDes).
- Цена перехода: часть внутрикристальных соединений становится межкристальными — с ограниченной плотностью, потерями, задержкой и энергозатратами.
- **Органическая подложка** — массовая и дешёвая платформа сборки (шаг контактов 100–130 мкм), но с существенно худшей плотностью трасс, чем кремниевый интерпозер. Задача статьи — показать, как получить высокую пропускную способность D2D именно на ней.
- Ключевые метрики D2D-канала: скорость на линию (Гбит/с), плотность пропускной способности на длину кромки кристалла (Гбайт/с/мм), энергия на бит (пДж/бит), задержка (нс), BER.

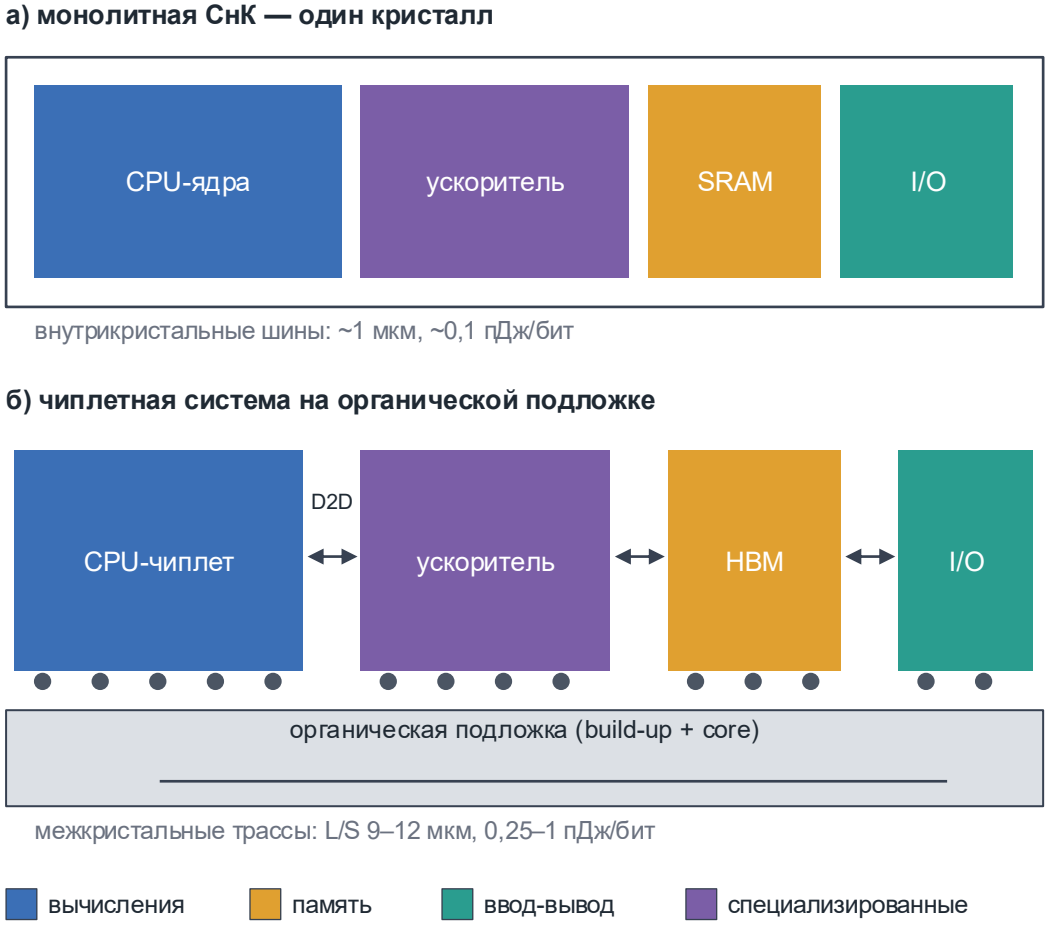
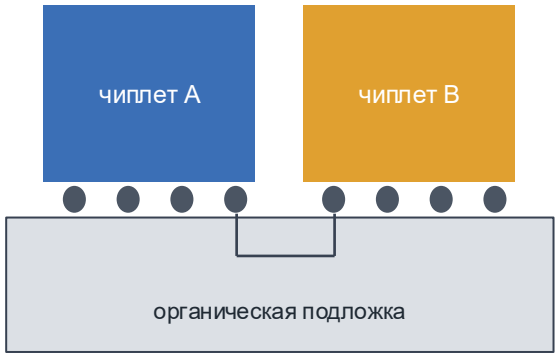


Рис. 1. Декомпозиция монолитной СнК (а) на чиплеты, объединённые D2D-интерфейсами на органической подложке (б)

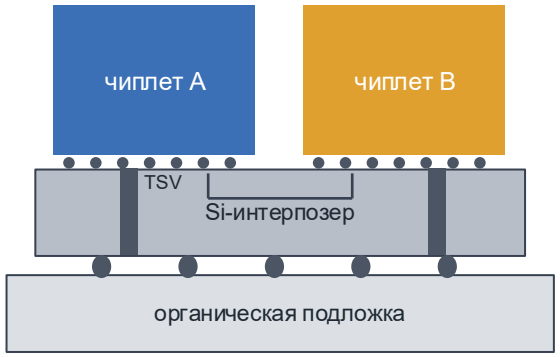
1.2. Варианты интеграции чиплетов в корпусе

а) 2D: флип-чип на органической подложке



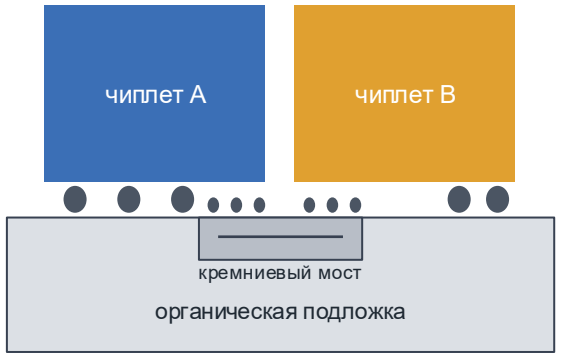
- шаг контактов 100–130 мкм
- L/S 9/12 мкм (build-up)
- длина канала до 25 мм
- минимальная стоимость

б) 2.5D: кремниевый интерпозер



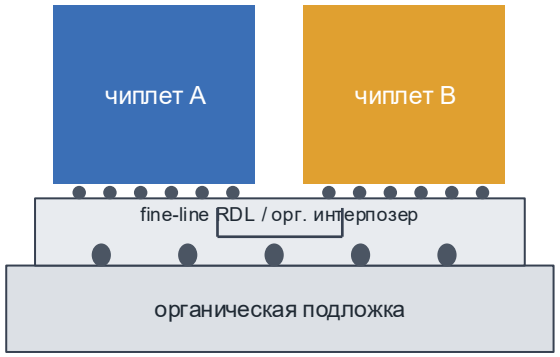
- микроконтакты 25–55 мкм
- L/S 0,4–1 мкм (BEOL)
- длина канала до 2–3 мм
- TSV, высокая стоимость

в) встроенный мост (EMIB и аналоги)



- микроконтакты 36–55 мкм над мостом
- кремниевый мост в полости подложки
- локальная плотность как у 2.5D
- сложная сборка подложки

г) органический интерпозер / fine-line RDL



- шаг 40–55 мкм
- L/S 2/2–5/5 мкм
- панельное производство
- Dk/Df лучше, чем у ABF

Настоящая статья посвящена варианту (а) — «стандартной упаковке» (standard package) в терминологии UCIe; варианты (б)–(г) относятся к «advanced packaging».

Рис. 2. Поперечные сечения основных вариантов интеграции чиплетов (схематично, без соблюдения масштаба). Синим показаны вычислительные чиплеты, жёлтым — память

2.1. Основные термины и их источники

Термин	Определение	Источник / стандарт
Чиплет (chiplet)	Бескорпусной кристалл, спроектированный для интеграции с другими кристаллами в одном корпусе через определённый интерфейс; функциональный «строительный блок» системы в корпусе (SiP).	IEEE Heterogeneous Integration Roadmap (HIR); UCIe Specification, гл. 1
Интерфейс die-to-die (D2D)	Совокупность электрических (PHY), логических (адаптер) и протокольных требований к передаче данных между кристаллами в одном корпусе.	UCIe Spec.; OCP ODSA BoW Spec.
Органическая подложка	Многослойная ламинатная подложка корпуса: стеклотекстолитовое ядро (core) и наращиваемые слои (build-up) из полимерного диэлектрика с медной металлизацией и лазерными микропереходами.	IPC-2226 (HDI-проектирование); IPC-6016; JEDEC JEP95
Стандартная упаковка (standard package)	Сборка кристаллов непосредственно на органической подложке; шаг контактов 100–130 мкм, длина канала до 25 мм.	UCIe Spec., разд. «Package»
Advanced packaging	Сборка с использованием кремниевого интерпозера, моста или fine-line RDL; шаг микроконтактов 25–55 мкм, длина канала до 2 мм.	UCIe Spec.; HIR, гл. «2.5D/3D»
Плотность пропускной способности	Суммарная пропускная способность интерфейса на 1 мм длины кромки кристалла (Гбайт/с/мм) либо на 1 мм² площади (Гбайт/с/мм²).	UCIe Spec.; ODSA BoW
Forwarded clock	Схема тактирования, при которой тактовый сигнал передаётся вместе с данными по отдельной (обычно дифференциальной) линии того же канала.	JEDEC (DDR PHY); UCIe; BoW
Вносимые потери (IL), S21	Отношение мощности сигнала на выходе канала к мощности на входе при согласованной нагрузке, дБ.	IEEE 370-2020; OIF CEI

2.2. Типовые параметры органической подложки

Параметр	Массовое производство	Передовой уровень	Примечание
Ширина / зазор трасс (L/S), мкм	9/12 … 12/12	5/5 … 2/2 (fine-line, mSAP)	полуаддитивный процесс (SAP/mSAP)
Толщина меди build-up, мкм	12–18	5–10	влияет на потери и сопротивление
Толщина диэлектрика build-up, мкм	25–35	15–25	ABF GX/GL-серии, аналоги
Диаметр микроперехода (лазер), мкм	50–60	25–35	контактная площадка 90–110 мкм
Толщина ядра (core), мкм	400–800	100–200 или coreless	ядро задаёт жёсткость и коробление
Число слоёв металлизации	6–10 (например, 3-2-3)	12–20	обозначение: build-up / core / build-up
Диэлектрическая проницаемость ε_r (1–10 ГГц)	3,2–3,4	2,9–3,2	низко-Dk материалы
Тангенс угла потерь tg δ (5–10 ГГц)	0,008–0,012	0,003–0,005	низко-Df ABF
Шаг контактов флип-чип, мкм	130–150 (C4)	100–130 (Cu-pillar)	диапазон стандартной упаковки UCIe
Шероховатость меди Rz, мкм	1–3	0,3–1	увеличивает потери на 20–50 %

100–130 мкм

шаг контактов кристалла к подложке

9/12 мкм

типовые L/S трасс build-up-слоёв

≤ 25 мм

длина D2D-канала в стандартной упаковке

0,3–0,8 дБ/мм

потери трассы 10–20 мкм на 8–16 ГГц (оценка)

Таблица 1. Ориентировочные параметры органических подложек по открытым данным изготовителей (Ibiden, Unimicron, Shinko, AT&S, Kinsus) и HIR

3.1. Вносимые потери: проводник, диэлектрик, шероховатость

Полное затухание линии складывается из потерь в проводнике и в диэлектрике:

α = α_c + α_d, дБ/мм

Потери в проводнике (скин-эффект):
α_c ≈ 8,686 · R_s / (Z0 · w), R_s = √(π f μ0 ρ)

Потери в диэлектрике:
α_d ≈ 91 · f [ГГц] · √ε_r · tg δ, дБ/м

где R_s — поверхностное сопротивление меди (ρ = 1,7·10^−8 Ом·м), w — ширина трассы, Z0 — волновое сопротивление; глубина скин-слоя δ_s = √(ρ/(π f μ0)) ≈ 0,73 мкм на 8 ГГц, т. е. ток течёт в тонкой оболочке трассы шириной 10 мкм.

- На органической подложке доминируют потери в проводнике: узкие (10–12 мкм) и тонкие трассы; удвоение ширины снижает α_c примерно вдвое, но уменьшает число трасс в канале.
- Шероховатость меди (модели Hammerstad, Huray) добавляет 20–50 % к α_c на частотах выше 5 ГГц; при переходе к mSAP-процессам Rz снижается до ~0,5 мкм.
- Потери α_d растут линейно с частотой; для низко-Df материалов (tg δ ≈ 0,004) на 16 ГГц они составляют ~0,01 дБ/мм и второстепенны.

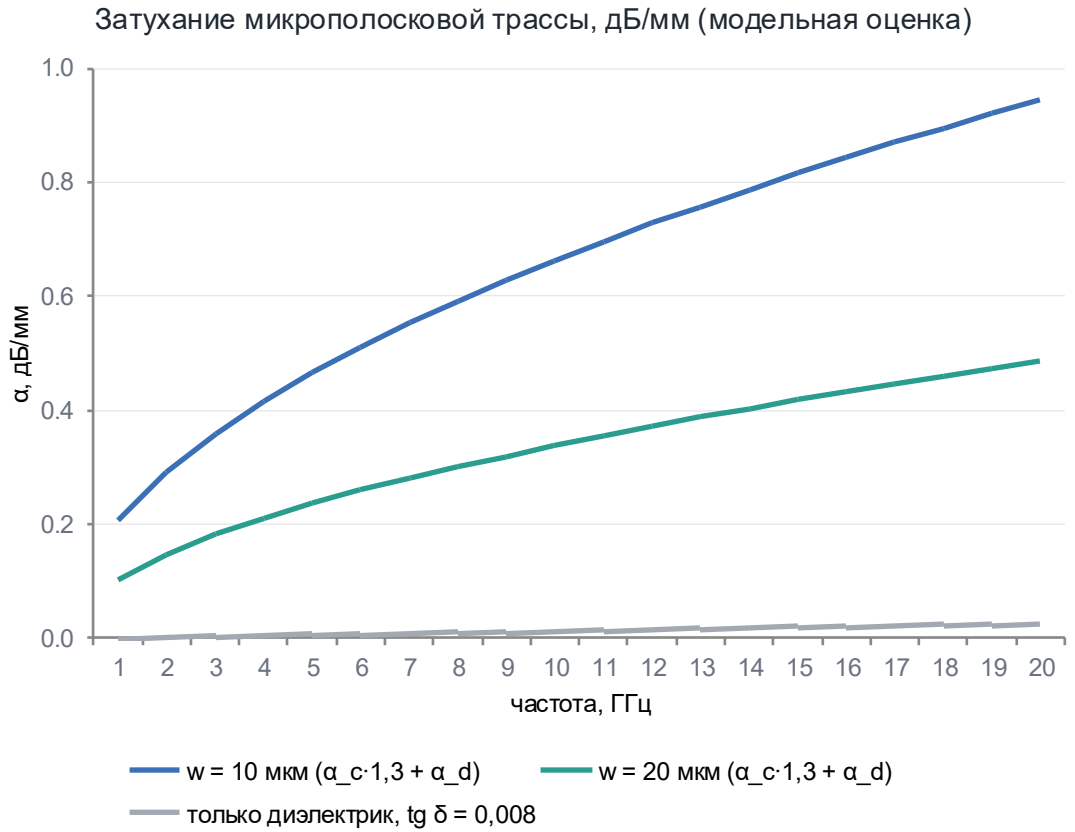
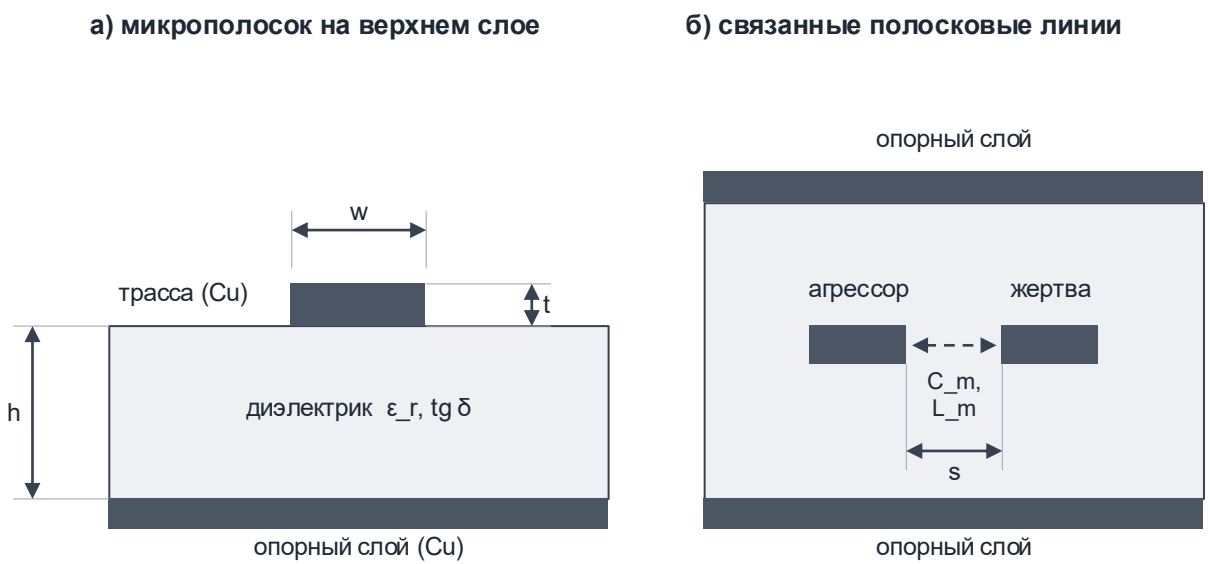


Рис. 3. Оценка затухания трассы на build-up-слое (Z0 = 45 Ом, ε_r = 3,3, tg δ = 0,008, толщина Cu 15 мкм, коэффициент шероховатости 1,3). Для 25 мм при 8 ГГц: ≈ 15 дБ (w = 10 мкм), ≈ 8 дБ (w = 20 мкм)

3.2. Волновое сопротивление и перекрёстные помехи

- **Волновое сопротивление.** Для однопроводных (single-ended) D2D-линий типично Z0 = 40–50 Ом; при h = 30 мкм, ε_r = 3,3 и t = 15 мкм ширина w ≈ 40–60 мкм даёт 50 Ом — это в 4–5 раз шире минимального L/S. На практике трассы D2D делают узкими (10–20 мкм, Z0 ≈ 60–80 Ом), а согласование обеспечивают на приёмнике либо работают без терминирования на коротких каналах.
- **Перекрёстные помехи.** Определяются взаимными ёмкостью C_m и индуктивностью L_m соседних трасс; для микрополоска коэффициент связи падает примерно как (s/h)^−2; правило «3w» (зазор ≥ 3 ширины) для плотных D2D-шин невыполнимо, поэтому применяют: полосковую (stripline) конфигурацию с двумя опорными слоями, чередование сигнал–земля на соседних слоях, ограничение длины параллельного пробега и учёт помех в бюджете глаза.
- **Опорный слой.** Разрывы опорного слоя (антипады переходов, разделённые плоскости питания) — основной источник неконтролируемого импеданса; обратный ток должен иметь непрерывный путь под всей длиной трассы.

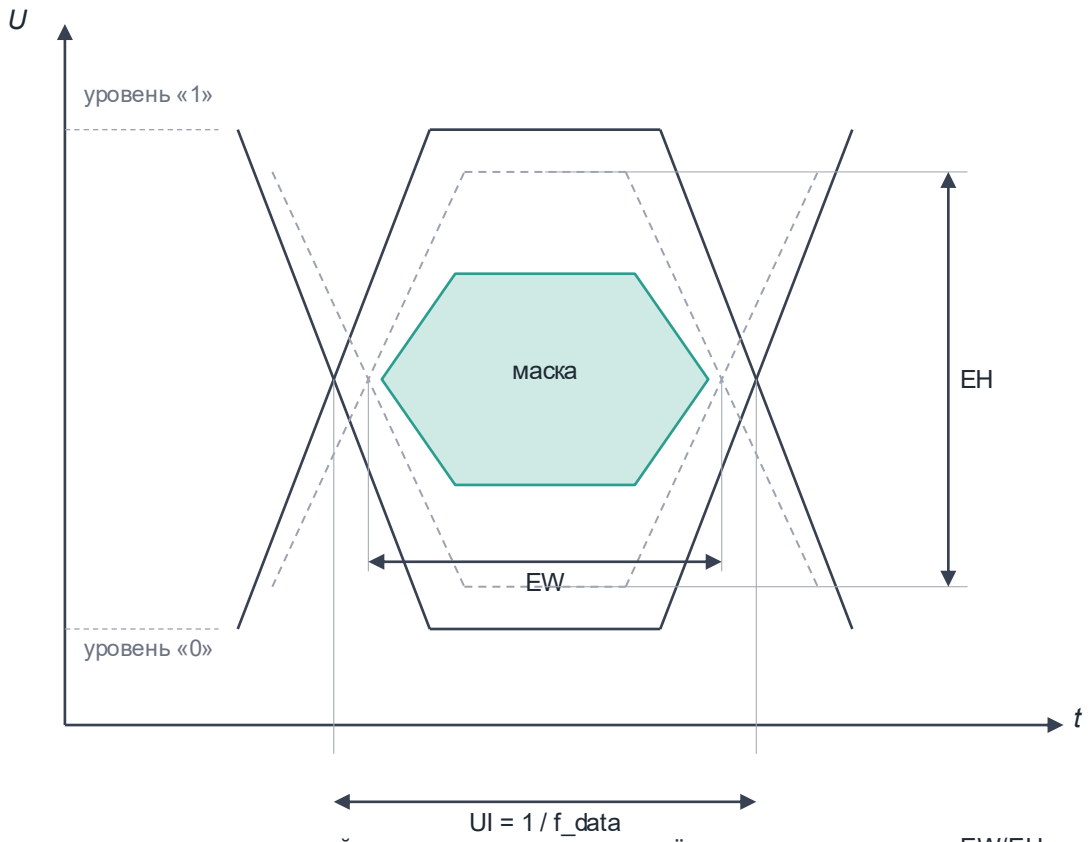


w — ширина трассы; t — толщина меди; h — толщина диэлектрика; s — зазор; C_m, L_m — взаимные ёмкость и индуктивность

Рис. 4. Сечения микрополосковой (а) и связанных полосковых (б) линий органической подложки с размерными обозначениями

3.3. Глазковая диаграмма, маска и бюджет канала

- **Критерий работоспособности** — раскрытие глаза на входе решающей схемы приёмника при целевом BER (для D2D обычно 10^−15 без FEC, до 10^−27 с CRC/повтором на уровне адаптера).
- **Бюджет по вертикали (EH):** амплитуда драйвера − потери канала (IL) − межсимвольная интерференция (ISI) − перекрёстные помехи − шум питания − чувствительность приёмника.
- **Бюджет по горизонтали (EW):** UI − детерминированный джиттер (DCD, ISI) − 14,1·σ случайного джиттера (для BER 10^−12) − разброс задержек между линиями (skew) − ошибка установки фазы выборки.
- **Особенность forwarded-clock систем:** значительная часть джиттера коррелирована между данными и тактом и «вычитается» (jitter tracking), что и позволяет обходиться без CDR и работать с энергией 0,25–1 пДж/бит.
- **Маска спецификации** (UCIe, BoW, OIF) задаёт минимальные EW/EH на контактах приёмника; проверяется статистическим моделированием (IBIS-AMI, StatEye) по S-параметрам канала.



сплошная линия — идеальный сигнал; штриховая — с учётом джиттера и шума; EW/EH — ширина/высота раскрытия глаза; шестиугольник — маска приёмника

Рис. 5. Глазковая диаграмма однопроводной линии D2D и маска приёмника

4.1. Параллельный и последовательный интерконнект: принципы

- **Параллельный (forwarded clock, source-synchronous).** Много одноконцевых линий данных, такт передаётся рядом с данными по отдельной паре; приёмник — простой семплер с подстройкой фазы, без восстановления такта. Скорость линии 2–32 Гбит/с при частоте такта R/2 (DDR). Длина канала ограничена расхождением задержек (skew) и потерями: ≤ 25 мм на органике.
- **Последовательный (SerDes).** Данные сериализуются в одну дифференциальную пару, такт встроен в поток и восстанавливается в приёмнике (CDR); требуются кодирование/скремблирование, эквалайзинг (FFE, CTLE, DFE), при 112 Гбит/с — PAM4 и FEC. Скорость пары 28–224 Гбит/с, длина от десятков миллиметров до метра.
- **Где «платят» за канал.** В параллельном интерфейсе сложность переносится в подложку (число линий, слоёв, выравнивание длин), в последовательном — в PHY (площадь, энергия, задержка). Поэтому параллельные D2D используются внутри корпуса, SerDes — на границе корпуса и платы.
- **Терминология.** Скорость линии измеряют в Гбит/с или ГТ/с (передач в секунду); частота Найквиста f_N = R/2 для NRZ и R/4 для PAM4 — именно на ней оценивают потери канала.
- **Гибридные сборки.** Чиплет-трансивер сочетает параллельный D2D к вычислительному кристаллу и SerDes наружу; подложка должна одновременно обеспечить плотную разводку (L/S 9/12) и низкие потери на 28 ГГц.

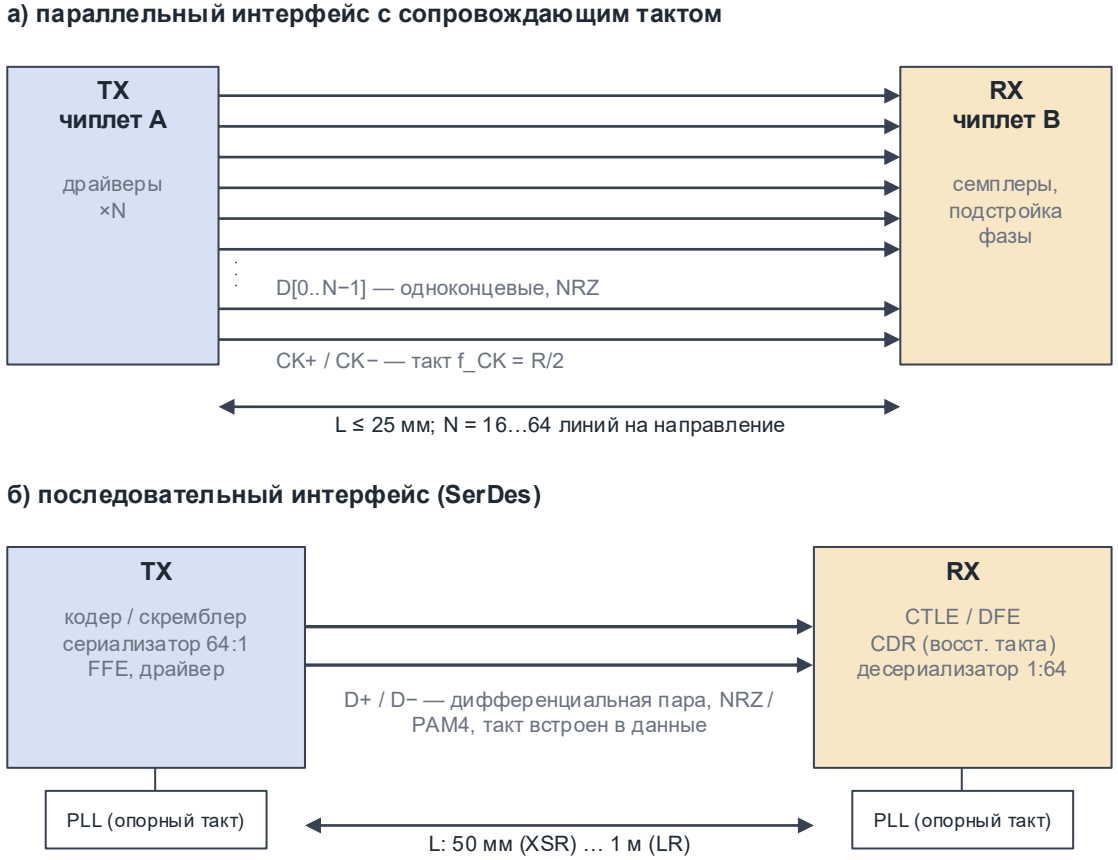


Рис. 6. Два способа передачи данных между кристаллами: а) параллельная шина с сопровождающим тактом (UCIe, BoW, AIB); б) последовательный канал с восстановлением такта в приёмнике (XSR/USR, PCIe, Ethernet)

4.2. Скорости, частоты и области применения

Характеристика	Параллельный (forwarded clock)	Последовательный (SerDes)
Скорость на линию / пару	2–32 Гбит/с (UCIe 1.x/2.0, BoW, AIB); 48–64 Гбит/с (UCIe 3.0)	28–112 Гбит/с (XSR/VSR/LR); 224 Гбит/с PAM4 в разработке
Частота Найквиста f_N	1–16 ГГц (NRZ, f_N = R/2)	14–56 ГГц при NRZ; 28 ГГц при 112G PAM4 (f_N = R/4)
Сигнализация и тактирование	одноконцевая, NRZ; такт передаётся отдельной парой (DDR), подстройка фазы в RX	дифференциальная, NRZ или PAM4; такт извлекается из данных (CDR), FEC при PAM4
Сигналов на 1 Тбит/с в одном направлении	32–64 линии данных + такт и служебные (≈ 40–80 контактов)	9–36 пар (18–72 контакта) при 112–28 Гбит/с
Задержка PHY (TX+RX)	≈ 2–5 нс	≈ 10–20 нс; с FEC — до 50–100 нс
Энергия, пДж/бит	0,25–0,7	1–2,5 (XSR); 3–6 (LR, 112G PAM4)
Длина канала на органической подложке	≤ 25 мм (UCIe), до 50 мм (BoW)	XSR ≤ 50 мм; VSR до 100–150 мм; LR ≥ 500 мм (через плату)
Требования к подложке	L/S ≤ 9/12 мкм, 2–3 сигнальных слоя, выравнивание длин в группе ±0,5–1 мм, малый шаг контактов	мало трасс (L/S 20–50 мкм), но критичны tg δ, шероховатость, антипады и обратные отводы via на f_N
Типичное применение	D2D внутри корпуса: вычислительные тайлы, I/O-чиплеты, HBM (PHY ×1024, 3,2–9,6 Гбит/с)	вход/выход корпуса: PCIe/CXL, Ethernet, оптические модули; чиплет-трансивер как «мост» к плате

Таблица 2. Сравнение параллельного и последовательного интерконнекта; значения ориентировочные, по спецификациям UCIe, BoW, OIF CEI и публикациям 2022–2025

- **Правило выбора.** Внутри корпуса при длине ≤ 25 мм и требуемой плотности > 100 Гбайт/с/мм — параллельный интерфейс; SerDes — когда число контактов ограничено, канал длиннее 25–50 мм или нужен протокол, общий с платой (PCIe/CXL/Ethernet).
- **Оценка потерь.** Параллельный 16 Гбит/с (f_N = 8 ГГц): ≈ 0,5 дБ/мм для трассы 12 мкм; SerDes 112G PAM4 (f_N = 28 ГГц): ≈ 1,0–1,2 дБ/мм для трассы 25 мкм — на 25 мм это 12 против 25–30 дБ, что и требует CTLE/DFE.

4.3. Сравнительный обзор интерфейсов die-to-die

Характеристика	UCIe (UCIe Consortium)	BoW (OCP ODSA)	AIB (Intel / CHIPS Alliance)	XSR / USR (OIF CEI-112G)
Тип сигналов	параллельная шина, single-ended, forwarded clock	параллельная шина, single-ended, forwarded clock	параллельная шина, single-ended, forwarded clock	последовательный SerDes, дифф., NRZ/PAM4, CDR
Скорость на линию	4–32 Гбит/с (v1.x/2.0); 48–64 Гбит/с (v3.0)	BoW-Base ≈2–4; BoW-Fast до 16 Гбит/с	AIB 1.0: 2; AIB 2.0: до 6,4 Гбит/с	56–112 Гбит/с (XSR), до 224 Гбит/с в разработке
Органическая подложка	да («standard package», 100–130 мкм)	да (основной сценарий)	нет (55 мкм, EMIB / интерпозер)	да (длина до 50 мм)
Длина канала	≤ 25 мм (standard) / ≤ 2 мм (advanced)	до 25–50 мм	до ~2 мм	до 50 мм
Плотность, Гбайт/с/мм	28–224 (standard) / 165–1317 (advanced)	≈ 50–250 (зависит от стека срезов)	≈ 200–400	≈ 20–60
Энергия, пДж/бит	≈ 0,5 (standard) / ≈ 0,25 (advanced)	≈ 0,5–0,7	≈ 0,5–1	≈ 1–2,5
Задержка PHY+адаптер	≤ 2 нс	≈ 2–5 нс	≈ 3–5 нс	≈ 10–20 нс (с CDR/FEC)
Протокольный уровень	PCIe, CXL, Streaming (raw)	не задан (произвольный)	не задан	не задан (Ethernet, произвольный)
Особенности	sideband 800 MT/c, CRC/повтор, стандартная модель канала	модульность «срезами», простота PHY	зрелая экосистема FPGA	высокая скорость на пин ценой энергии и задержки

Таблица 3. Сравнение открытых D2D-интерфейсов. Значения плотности и энергии — ориентировочные, по данным спецификаций и публикаций консорциумов (2022–2025); для параллельных интерфейсов они существенно зависят от шага контактов и числа слоёв подложки

4.4. UCIe: трёхуровневая архитектура интерфейса

- **Протокольный уровень** — PCIe (совместимость с существующим ПО), CXL (когерентная память, ускорители) или Streaming (произвольный пользовательский протокол, в т. ч. AXI/CHI-мосты).
- **D2D-адаптер** — арбитраж протоколов, CRC и механизм повтора (retry), согласование параметров линии, управление состояниями (link training), интерфейсы FDI (к протоколу) и RDI (к PHY).
- **Физический уровень** — логический PHY (скремблирование, обучение линии, ремонт неисправных линий — lane repair) и электрический PHY: модули ×16 (standard) или ×64 (advanced), forwarded clock, sideband.
- **Sideband** — независимый низкоскоростной канал (800 MT/c, тактируется от вспомогательного генератора), используемый для инициализации, обучения и управления даже при выключенной основной шине.
- **Основная шина (main band)** — на каждое направление: 16 линий данных, valid, track, дифференциальная тактовая пара; в standard package допускается ремонт линий за счёт резервных.

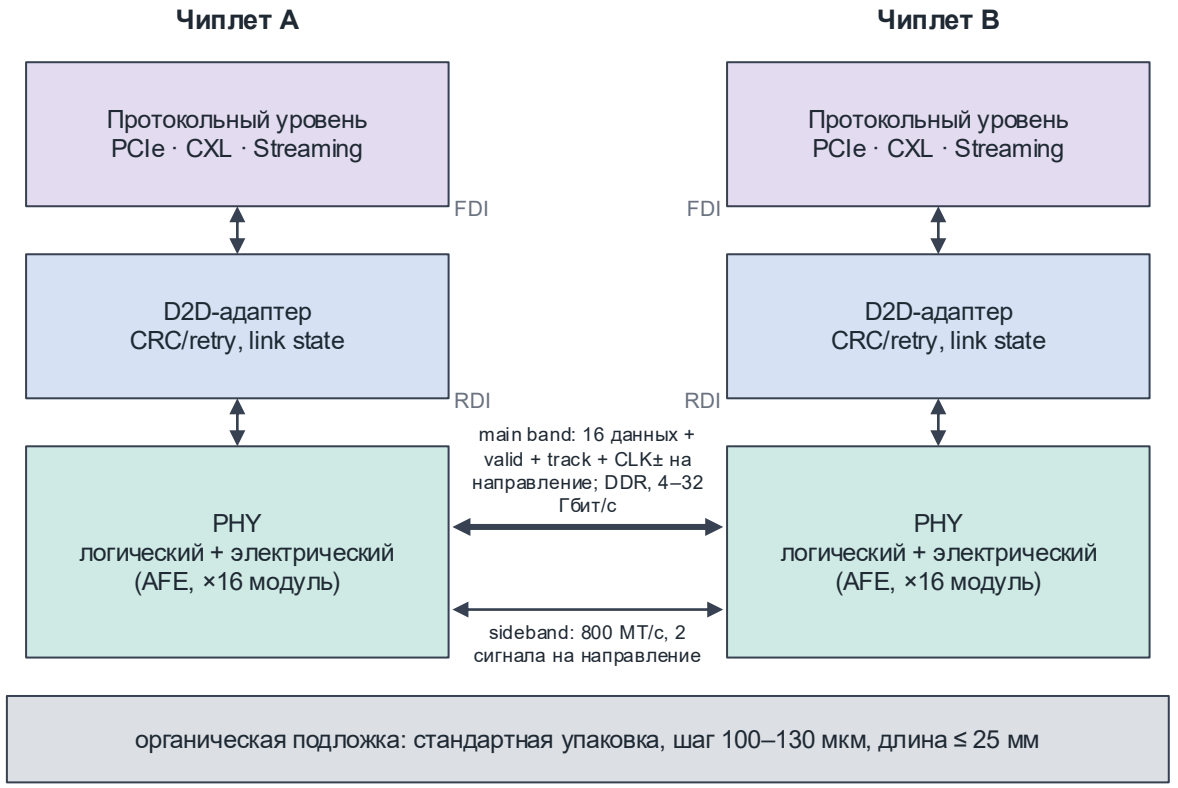


Рис. 7. Уровни стека UCIe и интерфейсы между ними (FDI — Flit-aware D2D Interface, RDI — Raw D2D Interface)

4.5. UCIe: параметры стандартной и advanced-упаковки

Параметр	Standard package (органика)	Advanced package
Шаг контактов	100–130 мкм (до 250 мкм)	25–55 мкм
Длина канала	≤ 25 мм	≤ 2 мм
Скорость на линию	4, 8, 12, 16, 24, 32 Гбит/с	4 … 32 Гбит/с
Ширина модуля	×16 (данные)	×64 (данные)
Плотность, Гбайт/с/мм	28 (4 Гбит/с) … 224 (32 Гбит/с)	165 … 1317
Плотность, Гбайт/с/мм²	≈ 22 … 125	≈ 188 … 1350
Энергия, пДж/бит	≈ 0,5	≈ 0,25
Задержка (адаптер + PHY)	≤ 2 нс	≤ 2 нс
BER до повтора	10^−15 (базовый)	10^−15 (базовый)
Терминирование	на приёмнике на высоких скоростях	без терминирования / облегчённое

Таблица 4. Параметры UCIe 1.x по спецификации и обзорной статье D. Das Sharma (IEEE TCPMT, 2022); плотности — при работе всех линий модуля



Рис. 8. Плотность пропускной способности на длину кромки для двух типов упаковки UCIe. Разрыв в ~6 раз — цена перехода на органическую подложку, компенсируемая стоимостью и длиной канала

4.6. BoW (Bunch of Wires): модульный интерфейс OCP ODSA

- **Идея:** «пучок проводов» — минималистичный параллельный PHY без встроенного протокола; интерфейс собирается из одинаковых срезов (slice) по 16 линий данных с собственной forwarded-clock парой.
- **Режимы:** BoW-Base — без терминирования, ≈2–4 Гбит/с на линию, минимальная энергия; BoW-Fast — с терминированием, до 16 Гбит/с; BoW-Turbo — несколько срезов, расположенных в глубину от кромки («стек»), для роста плотности.
- **Подложка:** ориентирован на органические подложки с шагом 100–130 мкм; допускает длину канала до десятков миллиметров (в зависимости от скорости), совместим и с advanced packaging.
- **Отличие от UCIe:** нет обязательного адаптера с CRC/retry и протокольного уровня — проще, дешевле по площади, но интероперабельность обеспечивается на уровне PHY, а надёжность — средствами пользователя.
- **Применение:** открытые проекты чиплетов (ODSA), FPGA-прототипирование, RISC-V SoC; удобен как первый шаг для команд, осваивающих D2D.

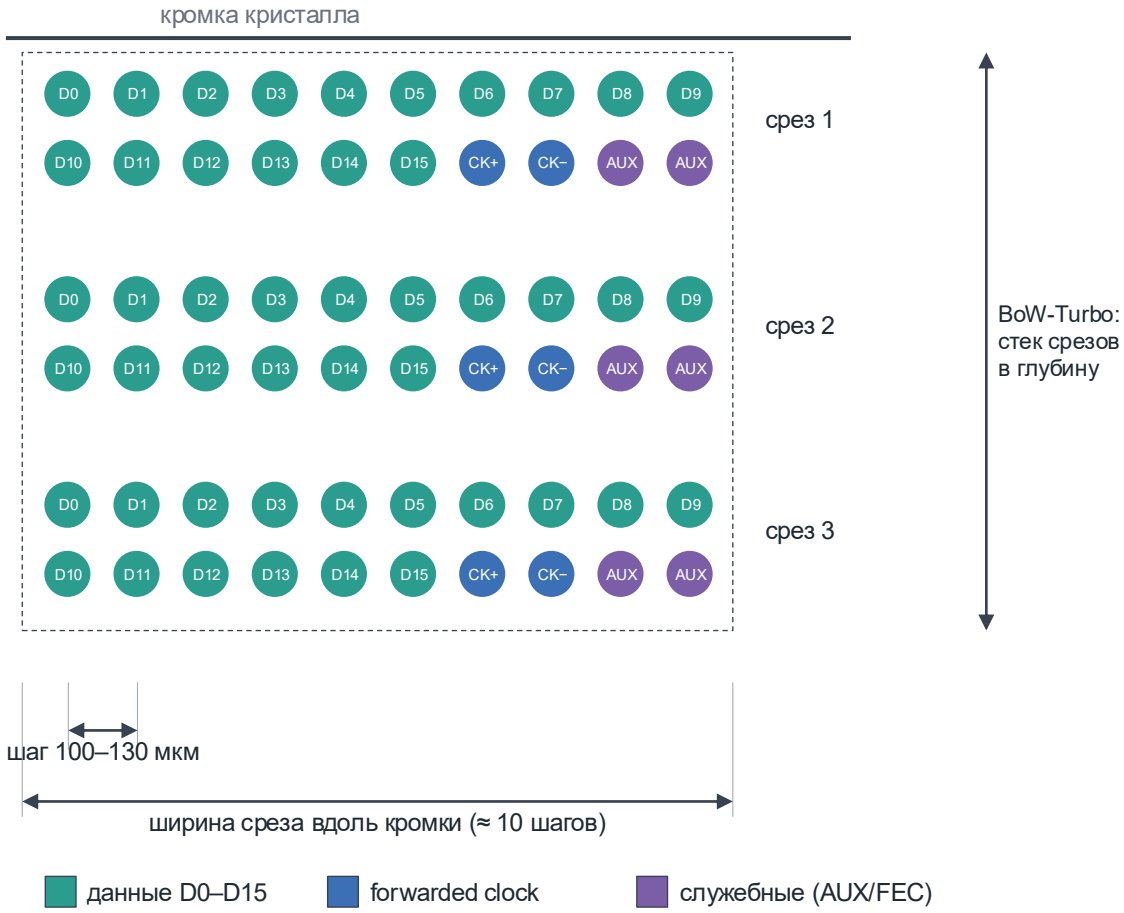
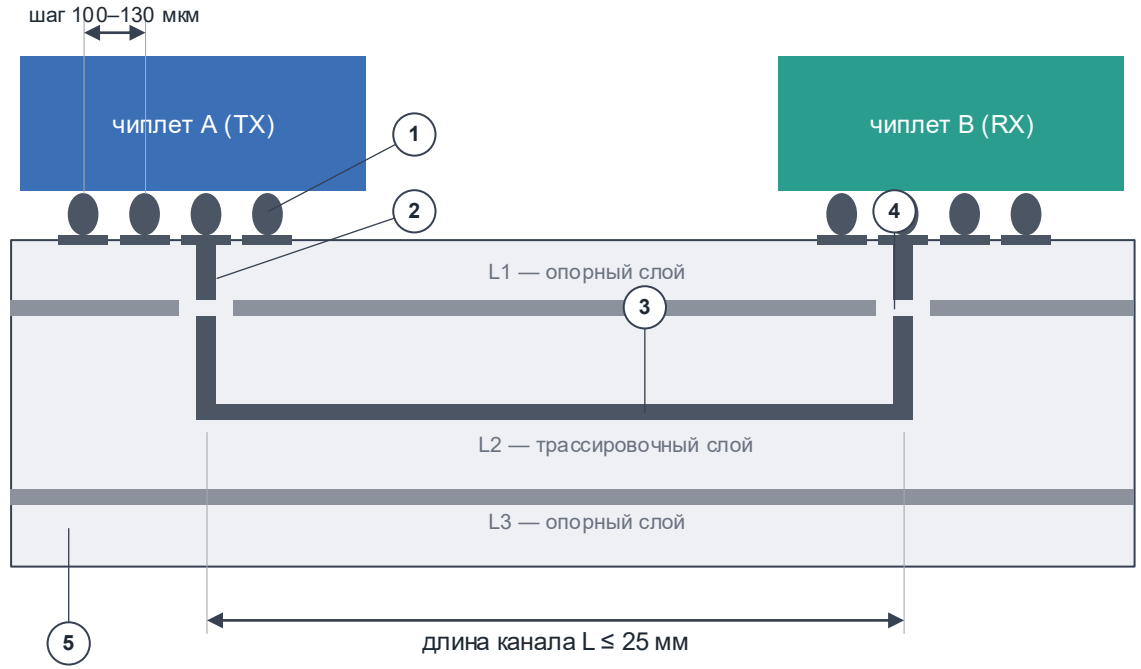


Рис. 9. Схематичное расположение контактов среза BoW (вид сверху) и наращивание плотности стеком срезов; конкретная раскладка задаётся спецификацией BoW

5.1. Топология D2D-канала: от контакта до контакта

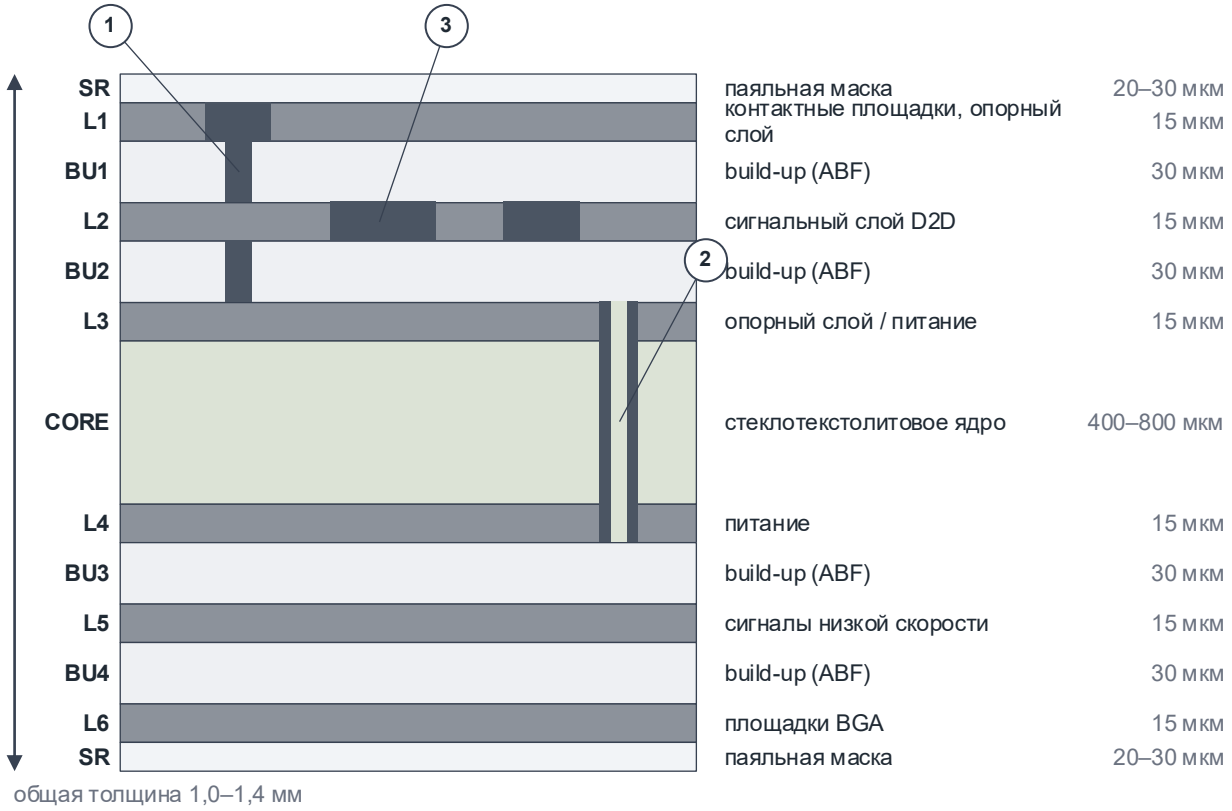
- Канал D2D в стандартной упаковке — это цепочка: контактная площадка кристалла → столбик/шарик (bump) → площадка подложки → микропереход → трасса на внутреннем build-up-слое → микропереход → bump → приёмник.
- Основной вклад в потери (≈ 70–85 %) даёт трасса; переходы и bump-и вносят в первую очередь неоднородность импеданса (ёмкостные разрывы 20–50 фФ на каждый) и отражения.
- Трассы ведут на одном внутреннем слое (L2) над сплошным опорным слоем (L1 или L3); переход с верхнего слоя на трассировочный — сразу под контактом (via-in-pad), без заглушек (stub).
- Длина всех линий модуля (данные + такт) выравнивается с точностью, соответствующей 5–10 % UI (для 16 Гбит/с — ≈ 3–6 пс ≈ 0,4–0,9 мм); это удобно делать за счёт согласованного расположения контактов на обоих кристаллах («зеркальная» раскладка).
- Рекомендуемый порядок работы: раскладка контактов PHY → оценка длин → стек-ап → escape-разводка → 3D-экстракция.



1 — bump (Cu-pillar / C4); 2 — микропереход via-in-pad; 3 — трасса на слое L2; 4 — антипад в опорном слое (разрыв — источник отражений); 5 — build-up-диэлектрик

Рис. 10. Сечение D2D-канала на органической подложке (масштаб по вертикали увеличен)

5.2. Стек-ап подложки и назначение слоёв



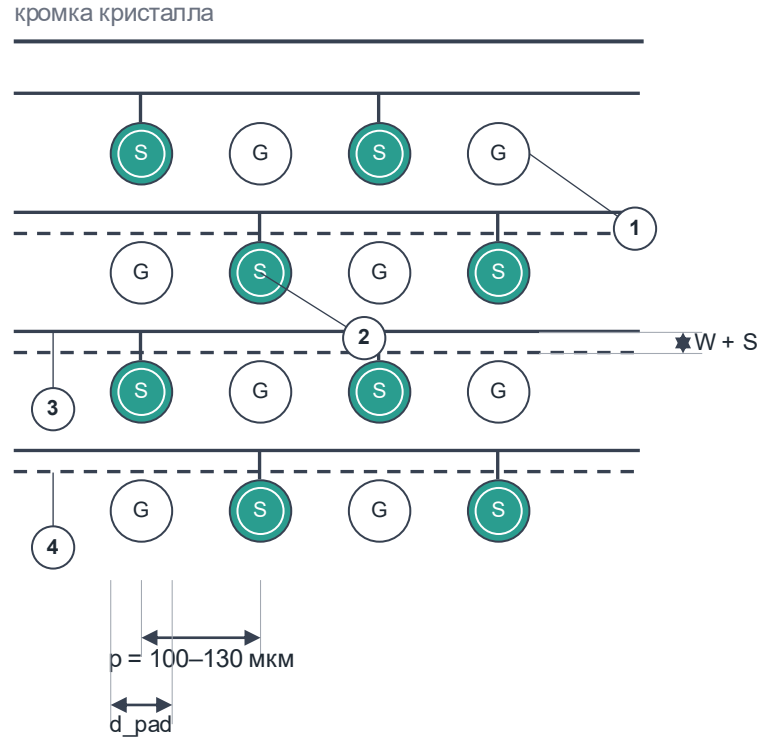
1 — стековые микропереходы (stacked via); 2 — сквозное металлизированное отверстие ядра (PTH); 3 — D2D-трассы на L2

Рис. 11. Стек-ап 2-2-2 (два build-up-слоя с каждой стороны ядра) с отнесением слоёв к функциям D2D-канала

- **Симметрия.** Стек всегда симметричен относительно ядра для контроля коробления; для D2D задействуют верхние build-up-слои, ядро — питание и низкоскоростные цепи.
- **Выбор слоя D2D.** L2 в конфигурации «полосок» между L1 и L3 даёт лучшую изоляция и стабильный импеданс; L1 (микрополосок) — меньшие потери в диэлектрике, но выше помехи и влияние паяльной маски.
- **Число слоёв.** Число трасс на 1 мм кромки на одном слое при L/S 9/12 мкм ≈ 47; при выходе всех 16 + 4 линий модуля UCIe с шагом 130 мкм между рядами контактов проходят 3–5 трасс, поэтому большие интерфейсы (×64 и более) требуют 2–3 сигнальных слоя.
- **Материалы.** Низко-Df build-up (tg δ ≤ 0,005) целесообразен при скорости ≥ 16 Гбит/с и длине ≥ 15 мм; иначе выгоднее вкладываться в уменьшение шероховатости и увеличение ширины трасс.
- **Coreless и glass-core.** Тонкие подложки без ядра сокращают длину PTH и индуктивность PDN; стеклянные ядра (2024–2026) улучшают плоскостность и позволяют L/S ≤ 2 мкм.

5.3. Escape-разводка контактной матрицы и переходы

- **Задача escape-разводки** — вывести все сигналы матрицы контактов за её пределы с минимальным числом слоёв. Число трасс в канале между соседними контактами: n = int((p − d_pad − S) / (W + S)), где p — шаг, d_pad — площадка, W/S — ширина/зазор.
- Пример: p = 130 мкм, d_pad = 80 мкм, W/S = 9/12 мкм → n = int((130 − 80 − 12)/21) = 1; при W/S = 5/5 → n = 4. Именно поэтому глубина матрицы D2D-контактов ограничена 2–4 рядами на слой.
- **Переходы.** Лазерные микропереходы 50–60 мкм (площадка 90–100 мкм) допускают стековое исполнение; via-in-pad исключает stub-эффект. Каждый переход ≈ +0,3–0,5 дБ на 8–16 ГГц и ёмкостный разрыв, который компенсируют расширением антипада и вырезом в опорном слое.
- **Опорные контакты.** Соотношение сигнал : земля/питание в матрице ≈ 1 : 1 … 2 : 1 обеспечивает обратные токи и снижает наводки в bump-поле; опорные контакты чередуют с сигнальными по шахматной схеме.
- **Симметрия TX/RX.** Раскладка контактов PHY на обоих кристаллах зеркальна, чтобы трассы шли параллельно без пересечений и переходов слоя.



S — сигнальные контакты, G — опорные (земля/питание); 1 — контактная площадка; 2 — микропереход via-in-pad; 3 — трасса на L1 (сплошная); 4 — трасса на L2 (штриховая)

Рис. 12. Escape-разводка фрагмента матрицы 4 × 4 контактов D2D в шахматном порядке «сигнал–опора» (вид сверху; W + S — шаг трасс в канале)

5.4. Приёмопередатчик: драйвер, терминирование, эквалайзинг

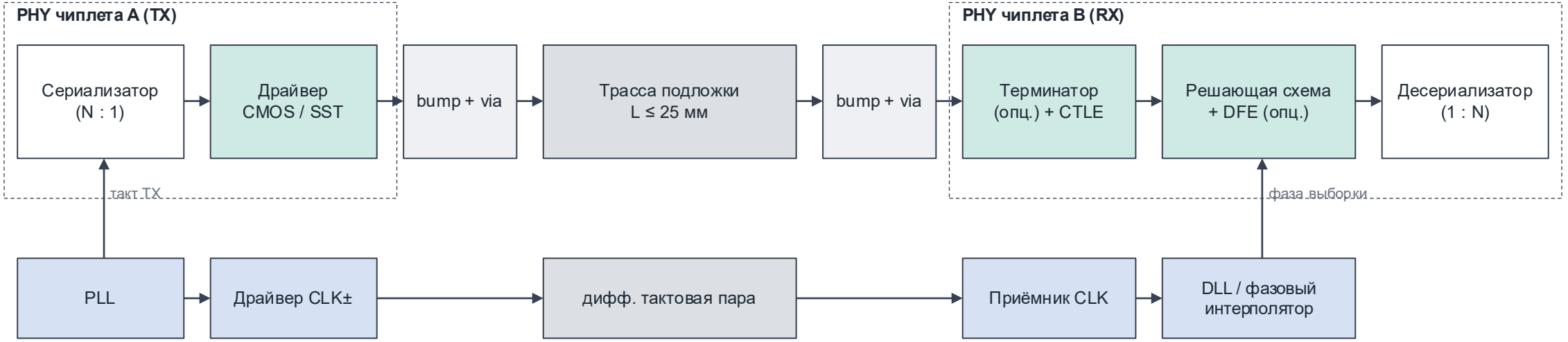


Рис. 13. Структура тракта одной линии D2D-интерфейса с прямой передачей такта (forwarded clock); выделены блоки PHY (бирюзовый — тракт данных, синий — тракт такта)

Режим	Терминирование	Скорость на линию	Энергия	Применение
Без терминирования (unterminated)	нет; приёмник — высокоимпедансный CMOS; амплитуда ≈ полный размах питания	≤ 4–8 Гбит/с при L ≤ 10 мм	минимальная (0,2–0,5 пДж/бит)	BoW-Base, UCIe на низких скоростях, короткие каналы
С терминированием на приёмнике	R_term ≈ Z0 (40–50 Ом) на приёмнике; амплитуда снижена, отражения подавлены	до 16–32 Гбит/с при L ≤ 25 мм	0,5–1 пДж/бит	BoW-Fast, UCIe 16–32 Гбит/с
С эквалайзингом	терминирование + CTLE на приёмнике и/или де-эмфазис на драйвере; DFE — редко	до 32–64 Гбит/с	0,7–1,5 пДж/бит	UCIe 3.0 (64 Гбит/с), длинные каналы

5.5. Тактирование: forwarded clock, DDR и фазовая подстройка

- **Принцип.** Тактовый сигнал формируется в передатчике и передаётся по дифференциальной паре того же модуля; приёмник восстанавливает фазу выборки относительно принятого такта (DLL или фазовый интерполятор) без восстановления частоты (CDR не нужен).
- **DDR.** Данные передаются по обоим фронтам: при 16 Гбит/с на линию частота такта 8 ГГц; в UCIe и BoW используется именно DDR-схема, что вдвое снижает частоту тактовой линии и её потери.
- **Отслеживание джиттера.** Так как такт и данные проходят одинаковые каналы и питаются от одного PLL, низкочастотный джиттер синфазен и не влияет на глаз; учитывается лишь рассогласование задержек (skew) такт–данные и высокочастотный джиттер.
- **Обучение линии.** При инициализации приёмник сканирует фазу выборки по всему UI (и напряжение порога) и выбирает центр глаза; периодическая подстройка компенсирует дрейф температуры и напряжения (в UCIe — через sideband).
- **Требования к трассировке.** Тактовая пара — та же топология и тот же слой, что и данные; разброс длин данных относительно такта ≤ 5–10 % UI; пара с контролем зазора (loosely coupled) для снижения влияния соседних линий.

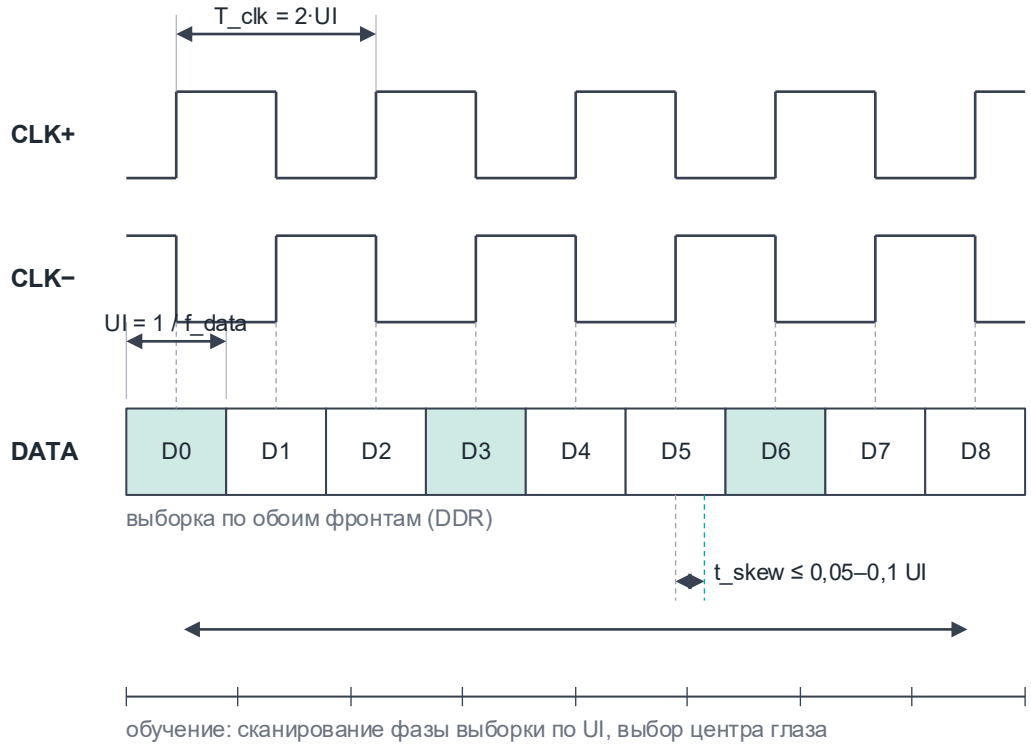


Рис. 14. Временная диаграмма DDR-передачи с forwarded clock: фронты такта совмещены с центрами битов; штриховые линии — моменты выборки

6.1. Целостность питания (PI) D2D-приёмопередатчиков

- **Целевой импеданс.** Z_target = ΔV_доп / ΔI_max; при токе PHY 1 А (32 линии × 32 Гбит/с × 0,5 пДж/бит ≈ 0,5 Вт при 0,75 В → ≈ 0,7 А, с запасом 1 А) и допуске 3 % от 0,75 В → Z_target ≈ 22 мОм в полосе до сотен МГц.
- **Шум питания → джиттер.** В forwarded-clock системах шум питания модулирует задержки буферов такта и данных; синфазная часть компенсируется, дифференциальная (разные ветви, разные домены) — нет. Раздельные, но взаимно развязанные домены для PLL, драйверов и приёмников — стандартная практика.
- **Резонанс ёмкость–индуктивность.** Индуктивность bump-ов и переходов подложки (10–50 пГн) с ёмкостью на кристалле (1–10 нФ) даёт резонанс на 100–500 МГц; его подавляют увеличением on-die-ёмкости и конденсаторами на обратной стороне подложки (land-side) вблизи PHY.
- **Опорные контакты D2D.** Матрица контактов PHY выделяет ≥ 30 % позиций под GND/VDD, распределённых равномерно, — это одновременно путь обратных токов сигналов и низкоиндуктивное подключение PDN.

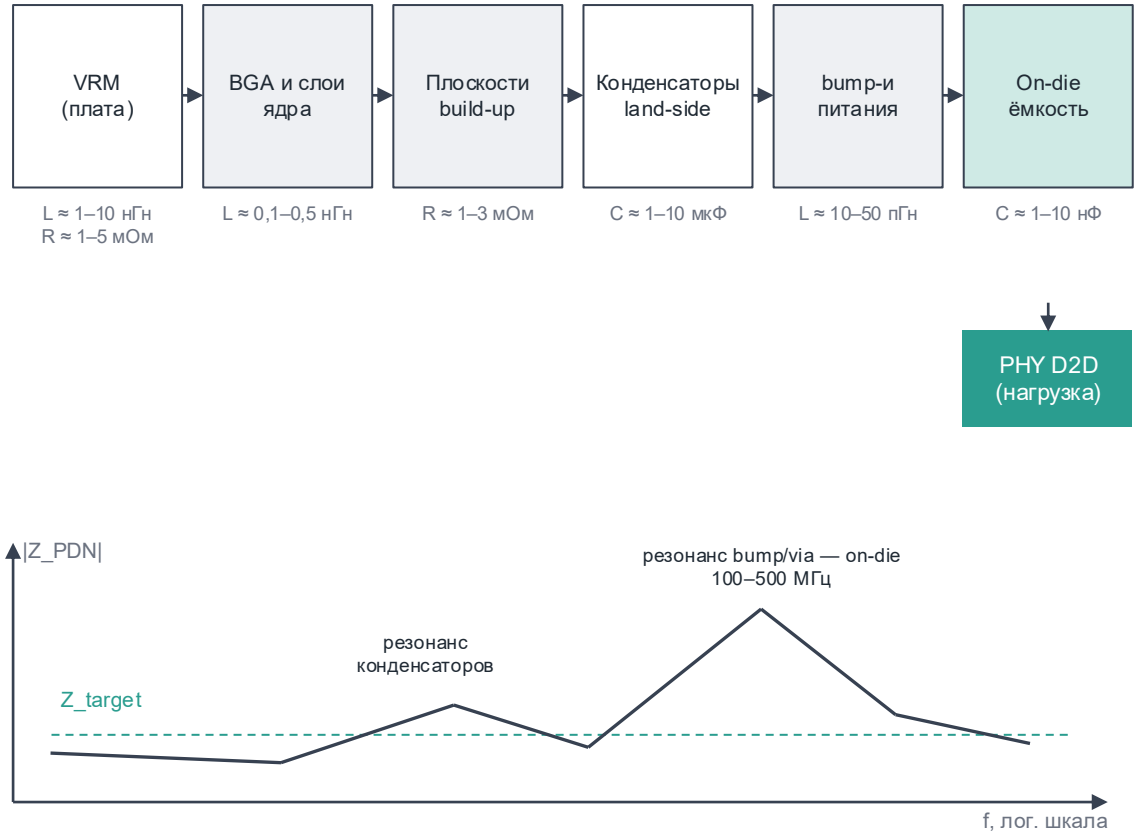
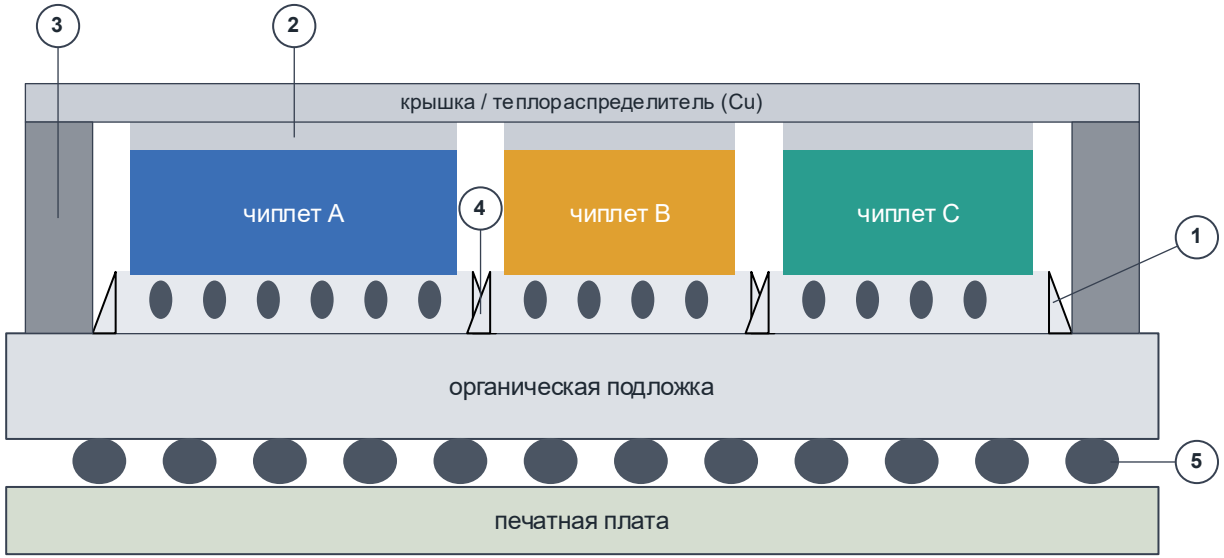


Рис. 15. Цепь распределения питания PHY (сверху) и характерный профиль импеданса PDN с целевым уровнем (снизу)

6.2. Термомеханические ограничения многокристальной сборки



1 — bump (Cu-pillar) и подзаливка (underfill); 2 — термоинтерфейс (TIM); 3 — рама-стиффенер; 4 — галтель underfill; 5 — BGA-шары

Рис. 16. Сечение многокристальной сборки на органической подложке с крышкой; показаны элементы, определяющие термомеханическую надёжность

Материал	КТР, ppm/°C	Роль в сборке
Кремний	2,6	кристаллы
Медь	17	слои, bump-и
Build-up (ABF)	20–40	диэлектрик трасс
Ядро (стеклотекстолит)	10–15 (в плоскости)	жёсткость
Припой SAC305	21	BGA, C4
Underfill	25–35 (до T_g)	разгрузка bump-ов
Стекло (glass core)	3–9	ядро нового поколения

- Разность КТР кристалл–подложка (≈ 10 ppm/°C) при ΔT = 200 °C и полудиагонали кристалла 10 мм даёт сдвиг ≈ 20 мкм — сопоставимо с диаметром bump-а: без underfill ресурс контактов при термоциклировании недостаточен.
- Коробление подложки при пайке ограничивают: симметричный стек, толстое ядро или стиффенер, размещение больших кристаллов ближе к центру; для многокристальных сборок допуск плоскостности ≤ 50–70 мкм на 50 мм.
- Тепловые градиенты между чиплетами (например, 90 °C логика и 60 °C память) сдвигают фазу выборки — учитываются периодической подстройкой и запасом по EW.

7.1. Маршрут верификации SI/PI канала D2D



Рис. 17. Маршрут проектирования и верификации канала D2D; бирюзовым выделены этапы численного моделирования, синим — измерения

Практические замечания

- Экстрагировать канал целиком «контакт–контакт», включая bump-и, via-in-pad и антипады: именно они дают возвратные потери; трассу можно рассчитывать 2D-решателем и каскадировать S-параметры.
- Для статистического анализа использовать модели PHY поставщика IP (IBIS-AMI); при их отсутствии — параметризованные модели драйвера/приёмника из спецификации (UCIe приводит эталонные параметры TX/RX и канала).
- Верифицировать PDN совместно с SI: шум питания переводится в джиттер через чувствительность задержки буферов (пс/мВ), которую задаёт поставщик PHY.

7.2. Органическая подложка в сравнении с advanced packaging

Критерий	2D органическая подложка	Кремниевый интерпозер (2.5D)	Встроенный мост	Органический интерпозер / fine-line RDL
Шаг контактов кристалла, мкм	100–130	25–45	36–55 (над мостом)	40–55
L/S трасс, мкм	9/12 (до 5/5)	0,4–1	1–2 (в мосте)	2/2–5/5
Длина D2D-канала	до 25 мм	до 2–3 мм	до 2 мм	до 5–10 мм
Плотность UCIe, Гбайт/с/мм (32 Гбит/с)	≈ 224	≈ 1317	≈ 1317	≈ 400–800
Энергия, пДж/бит	≈ 0,5	≈ 0,25	≈ 0,25	≈ 0,3
Тепловое сопротивление (интерпозер)	нет доп. слоя	доп. слой Si (хорошая теплопроводность)	локально	полимер (хуже)
Максимальный размер модуля	≥ 100 × 100 мм	ограничен ретиклом (стич до 3×)	не ограничен	панель 510 × 515 мм
Относительная стоимость сборки	1	3–5	2–3	1,5–2
Зрелость / доступность	массовая	массовая (HBM-системы)	один-два поставщика	ограниченная, растёт
Типичное применение	CPU-чиплеты, I/O, RF, SoC среднего класса	GPU + HBM, HPC	CPU + ускорители	сетевые ASIC, AI-ускорители

Таблица 5. Сравнение технологий интеграции чиплетов; значения ориентировочные (HIR 2024, UCIe Spec., публикации ECTC 2022–2025)

8. Пример расчёта: канал 25 мм, 16 Гбит/с, стандартная упаковка

1 Исходные данные

Модуль UCIe ×16, скорость 16 Гбит/с, длина трассы L = 25 мм, слой L2 (stripline), W = 12 мкм, Cu 15 мкм, ε_r = 3,3, tg δ = 0,008, Rz ≈ 1,5 мкм, шаг контактов 130 мкм.

2 Частота Найквиста

f_N = f_data / 2 = 8 ГГц; такт forwarded clock = 8 ГГц (DDR). Скин-слой δ_s ≈ 0,73 мкм << 15 мкм — режим полного скин-эффекта.

3 Потери трассы

α_c ≈ 8,686 · R_s / (Z0 · W) = 8,686 · 0,0232 / (45 · 12·10^−6) ≈ 0,37 дБ/мм; с шероховатостью × 1,3 → 0,49 дБ/мм; α_d ≈ 0,091 · 8 · 1,82 · 0,008 ≈ 0,011 дБ/мм. Итого ≈ 0,50 дБ/мм · 25 мм ≈ 12,5 дБ.

4 Переходы и контакты

2 via-in-pad + 2 bump: ≈ 4 × 0,4 дБ = 1,6 дБ; отражения от антипадов (RL ≈ −12 дБ) — учитываются в статистическом глазе. Итого IL(8 ГГц) ≈ 14 дБ.

5 Сопоставление

При IL ≈ 14 дБ на f_N требуется терминирование на приёмнике и CTLE (табл. в разд. 5.4); без эквалайзинга допустимо ≈ 6–8 дБ. Решение: W = 20 мкм (α ≈ 0,30 дБ/мм → IL ≈ 7,5 + 1,6 ≈ 9 дБ) либо низко-Rz медь и низко-Df материал.

6 Плотность и кромка

Модуль ×16 при 16 Гбит/с: 16 · 16 = 256 Гбит/с = 32 Гбайт/с на направление, 64 Гбайт/с суммарно (TX + RX). По спецификации плотность standard package ≈ 112 Гбайт/с/мм → ширина модуля по кромке ≈ 0,57 мм при глубине матрицы ~8 рядов; для 1 Тбайт/с суммарно нужно 16 модулей и ≈ 9 мм кромки.

Вывод: на органической подложке при 16 Гбит/с и длине 25 мм канал реализуем на типовом стек-апе, но требует расширенных трасс (≥ 20 мкм) или эквалайзинга; при 32 Гбит/с (f_N = 16 ГГц, IL ≈ 20 дБ) — обязательны низко-Rz медь, низко-Df материал и сокращение длины до 10–15 мм.

9. Направления развития и выводы

Тенденции 2024–2027

- **UCIe 2.0 / 3.0:** управление и тестопригодность (DFx), 3D-упаковка, удвоение скорости до 48–64 Гбит/с на линию с сохранением forwarded clock — для органики это означает f_N = 24–32 ГГц и обязательный эквалайзинг.
- **Подложки:** mSAP с L/S 5/5 → 2/2 мкм; стеклянные ядра (Intel, Absolics, Samsung Electro-Mechanics); низко-Df build-up с tg δ ≤ 0,003; панельные органические интерпозеры.
- **PHY:** энергия ≤ 0,3 пДж/бит на органике за счёт малоамплитудной сигнализации и адаптивного терминирования; интеграция ремонта линий и мониторинга глаза в рабочем режиме.
- **Экосистема:** открытые модели каналов, референс-стек-апы от изготовителей подложек, «чиплетные магазины» (marketplace) с описанием интерфейсов в машиночитаемом виде (CDXML/ODSA).

Выводы

1. Органическая подложка остаётся основной платформой чиплетных систем массового сегмента: при шаге 100–130 мкм и L/S 9/12 мкм она обеспечивает 100–250 Гбайт/с/мм при 0,5 пДж/бит и длине канала до 25 мм.
2. Ограничивающий фактор — потери в проводнике узких трасс; управлять ими следует шириной трасс, выбором слоя, шероховатостью меди и лишь затем материалом диэлектрика.
3. Параллельные интерфейсы с forwarded clock (UCIe standard package, BoW) — оптимальный компромисс между плотностью, энергией и сложностью PHY для органики; SerDes-решения (XSR) оправданы при длинных каналах и малом числе контактов.
4. Проектирование канала — совместная задача разработчика кристалла, подложки и PHY-IP: раскладка контактов, стек-ап и escape-разводка определяются до фиксации топологии кристалла.
5. Верификация обязана включать 3D-экстракцию «контакт–контакт», статистический глаз при целевом BER и совместный анализ SI/PI с последующей корреляцией на тестовой подложке.

Глоссарий

ABF (Ajinomoto Build-up Film) — плёночный полимерный диэлектрик наращиваемых слоёв органических подложек
AIB (Advanced Interface Bus) — параллельный D2D-интерфейс Intel, открыт через CHIPS Alliance; ориентирован на микроконтакты 55 мкм
BER (Bit Error Ratio) — отношение числа ошибочно принятых бит к общему числу переданных
BoW (Bunch of Wires) — открытый параллельный D2D PHY консорциума OCP ODSA
Bump (C4, Cu-pillar) — контактный выступ на кристалле для флип-чип-монтажа: шарик припоя (C4) или медный столбик
Build-up — слои подложки, наращиваемые поверх ядра; несут тонкие трассы и микропереходы
CDR (clock and data recovery) — восстановление такта из потока данных в приёмнике последовательного интерфейса
CTLE / DFE — линейный эквалайзер с непрерывным временем / эквалайзер с решающей обратной связью
D2D (die-to-die) — соединение «кристалл–кристалл» внутри одного корпуса
DDR — передача данных по обоим фронтам тактового сигнала
EMIB — Embedded Multi-die Interconnect Bridge — кремниевый мост Intel, встроенный в органическую подложку
Escape-разводка — вывод трасс из-под матрицы контактов за её границу
EW / EH — ширина / высота раскрытия глазковой диаграммы
Forwarded clock — тактирование с передачей такта параллельно данным по отдельной линии
IBIS-AMI — поведенческая модель приёмопередатчика для статистического анализа канала
IL / RL — вносимые / возвратные потери (S21 / S11)
L/S (line/space) — ширина трассы / зазор между трассами
mSAP — модифицированный полуаддитивный процесс формирования тонких медных трасс
PAM4 — четырёхуровневая амплитудная модуляция: 2 бита на символ, f_N = R/4
PDN — сеть распределения питания (power delivery network)
RDL — слои перераспределения (redistribution layers) с тонкими трассами
SerDes — сериализатор/десериализатор — последовательный приёмопередатчик с CDR и эквалайзингом
Sideband — вспомогательный низкоскоростной канал управления интерфейсом (UCIe)
Stripline / microstrip — полосковая (между двумя опорными слоями) / микрополосковая (над одним опорным слоем) линия
TSV — сквозное отверстие в кремнии (through-silicon via)
UCIe — Universal Chiplet Interconnect Express — открытый стандарт D2D-интерфейса
UI (unit interval) — длительность одного бита
XSR / USR — классы сверхкоротких SerDes-каналов OIF (extra/ultra short reach)

Рекомендуемая литература

1. UCIe Consortium. Universal Chiplet Interconnect Express (UCIe) Specification, Rev. 1.1 (2023), 2.0 (2024), 3.0 (2025). — uciexpress.org.
2. Das Sharma D. Universal Chiplet Interconnect Express (UCIe): An Open Industry Standard for Innovations with Chiplets at Package Level // IEEE Trans. Components, Packaging and Manufacturing Technology. 2022. Vol. 12, No. 9.
3. Open Compute Project, ODSA. Bunch of Wires (BoW) PHY Specification, v1.0 (2021) и последующие ревизии. — opencompute.org.
4. Optical Internetworking Forum. Common Electrical I/O (CEI) 5.0: CEI-112G-XSR / USR Implementation Agreements. — oiforum.com.
5. IEEE Electronics Packaging Society. Heterogeneous Integration Roadmap (HIR), 2023–2024 Edition, chapters «2.5D/3D» и «Interconnects». — eps.ieee.org/hir.
6. Mahajan R. et al. Embedded Multi-die Interconnect Bridge (EMIB) — A High Density, High Bandwidth Packaging Interconnect // Proc. IEEE ECTC. 2016.
7. Naffziger S. et al. Pioneering Chiplet Technology and Design for the AMD EPYC and Ryzen Processor Families // Proc. ISCA. 2021.
8. Bogatin E. Signal and Power Integrity — Simplified. 3rd ed. — Pearson, 2018.
9. Hall S. H., Heck H. L. Advanced Signal Integrity for High-Speed Digital Designs. — Wiley, 2009.
10. Tummala R. R. (ed.). Fundamentals of Microsystems Packaging. — McGraw-Hill, 2001; 2nd ed. 2019.
11. IEEE Std 370-2020. Standard for Electrical Characterization of Printed Circuit Board and Related Interconnects at Frequencies up to 50 GHz.
12. IPC-2226. Sectional Design Standard for High Density Interconnect (HDI) Printed Boards; IPC-6016. Qualification and Performance Specification for HDI Layers or Boards.
13. Iyer S. S. Heterogeneous Integration for Performance and Scaling // IEEE Trans. CPMT. 2016. Vol. 6, No. 7.
14. Lau J. H. Chiplet Design and Heterogeneous Integration Packaging. — Springer, 2023.

Указанные источники (спецификации консорциумов, дорожные карты и учебники) являются первичными; численные параметры в статье приводятся по ним и по открытым материалам изготовителей подложек и следует уточнять по актуальным ревизиям.